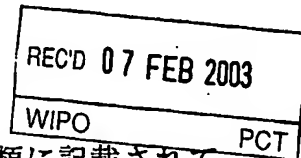


PCT/PTO 11 JAN 2005
PCT/JPC3/00236

15.01.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 1月16日

出 願 番 号
Application Number:

特願2002-007254

[ST.10/C]:

[JP2002-007254]

出 願 人
Applicant(s):

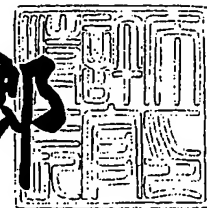
ソニー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2002年11月15日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3090121

【書類名】 特許願

【整理番号】 0190102004

【提出日】 平成14年 1月16日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 7/40

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 中川 俊之

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 岡村 完成

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 飛田 実

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100082131

【弁理士】

【氏名又は名称】 稲本 義雄

【電話番号】 03-3369-6479

【手数料の表示】

【予納台帳番号】 032089

【納付金額】 21,000円

特 2 0 0 2 - 0 0 7 2 5 4

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 変調装置および方法、記録媒体、並びにプログラム

【特許請求の範囲】

【請求項 1】 基本データ長が m ビットのデータを、基本符号長が n ビットの可変長符号 ($d, k; m, n; r$) に変換する変調装置において、

データ列の要素内の「1」の個数を 2 で割った時の余りと、変換される符号語列の要素内の「1」の個数を 2 で割った時の余りが、どちらも 1 あるいは 0 で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換手段と、

前記変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、前記入力されたデータから検出する最小ラン連続制限コード検出手段と、

前記最小ラン連続制限コード検出手段による検出結果に基づいて、前記最小ランの連続を所定の回数以下に制限するように、前記変換手段により変換された前記符号語列を置き換える連続最小ラン置換手段と

を備えることを特徴とする変調装置。

【請求項 2】 前記変換手段による、前記変換テーブルに含まれる所定の前記変換コードに基づいた変換の回数をカウントし、その情報を保持する変調情報保持手段をさらに備え、

前記最小ラン連続制限コード検出手段は、前記変調情報保持手段により保持されている情報の内容に基づいて、前記入力されたデータからの前記最小ラン連続制限コードの検出が制御される

ことを特徴とする請求項 1 に記載の変調装置。

【請求項 3】 前記連続最小ラン置換手段により前記最小ランの連続が所定の回数以下に制限された前記符号語列の任意の位置に、前記変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する同期信号挿入手段と、

前記同期信号挿入手段により前記同期信号が挿入された前記符号語列を NRZI 変換し、記録符号列を作成する NRZI 変換手段と

をさらに備えることを特徴とする請求項 2 に記載の変調装置。

【請求項 4】 前記変換手段は、

$d = 1$ 、 $k = 7$ 、 $m = 2$ 、 $n = 3$ の基礎コードを有する前記変換テーブルの変換コードに含まれる所定のパターンを、前記入力されたデータから検出する変換コード検出手段と、

前記変換テーブルの変換コードに含まれる、符号を任意の位置において終端させるための終端コードを、前記入力されたデータから検出する終端コード検出手段と、

前記変換テーブルの変換コードに含まれ、直前または直後の符号語が「1」のとき「0」となり、「0」のとき「1」となる記号を*とすると、 000 または 101 となる符号「*0*」を有する不確定符号を含む不確定コードを、前記入力されたデータから検出する不確定コード検出手段と、

前記不確定コード検出手段により検出された前記不確定コードに含まれる前記不確定符号の*に対応する符号を決定する不確定ビット決定手段と、

前記変換コード検出手段、前記終端コード検出手段、および前記不確定コード検出手段の検出結果、並びに、前記不確定ビット決定手段による符号の決定結果に基づいて、利用する前記変換テーブルの前記変換コードを決定する変換パターン決定手段と

を備えることを特徴とする請求項 3 に記載の変調装置。

【請求項 5】 前記終端コード検出手段は、

終端位置を特定するための情報を供給する終端位置カウンタを有し、

前記入力されたデータから前記変換テーブルの変換コードに含まれる所定のパターンを検出し、前記終端位置カウンタにより供給される情報が終端位置を示すことにより、前記終端コードを検出したと判定する

ことを特徴とする請求項 4 に記載の変調装置。

【請求項 6】 前記不確定コード検出手段は、前記変換パターン決定手段により決定された前記変換パターンの最終ビットの情報、および、前記同期信号挿入手段により挿入された前記同期信号のパターンの最終ビットの情報を取得し、

前記不確定ビット決定手段は、前記不確定コード検出手段が取得した前記変換

パターンの最終ビットの情報、および前記同期信号のパターンの最終ビットの情報に基づいて、前記不確定符号の*に対応する符号を決定する

ことを特徴とする請求項4に記載の変調装置。

【請求項7】 前記変換パターン決定手段は、前記終端コードに基づいて、前記入力されたデータ列を変換する前記変換パターンを決定したか否かを判定し

前記同期信号挿入手段は、前記変換パターン決定手段による判定結果に基づいて、所定の処理が行われた前記同期信号を前記符号語列の任意の位置に挿入することを特徴とする請求項4に記載の変調装置。

【請求項8】 前記所定の処理において、前記同期信号の先頭ビットは、前記終端コードに基づいて前記変換パターンを決定したと前記変換パターン決定手段が判定した場合、「1」に設定され、

前記終端コードに基づいて前記変換パターンを決定していないと前記変換パターン決定手段が判定した場合、「0」に設定されることを特徴とする請求項7に記載の変調装置。

【請求項9】 基本データ長がmビットのデータを、基本符号長がnビットの可変長符号(d, k; m, n; r)に変換する変調装置の変調方法において、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、

前記変換テーブルの変換コードに含まれる、最小ランdの連続を所定の回数以下に制限する最小ラン連続制限コードを、前記入力されたデータから検出する最小ラン連続制限コード検出ステップと、

前記最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、前記最小ランの連続を所定の回数以下に制限するように、前記変換ステップの処理により変換された前記符号語列を置き換える連続最小ラン置換ステップと

を含むことを特徴とする変調方法。

【請求項10】 前記変換ステップの処理による、前記変換テーブルに含ま

れる所定の前記変換コードに基づいた変換の回数をカウントし、その情報の保持を制御する変調情報保持ステップをさらに備え、

前記最小ラン連続制限コード検出ステップの処理は、前記変調情報保持ステップの処理により保持が制御されている情報の内容に基づいて、前記入力されたデータからの前記最小ラン連続制限コードの検出を制御する

ことを特徴とする請求項 9 に記載の変調方法。

【請求項 1 1】 前記連続最小ラン置換ステップの処理により前記最小ランの連続が所定の回数以下に制限された前記符号語列の任意の位置に、前記変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する同期信号挿入ステップと、

前記同期信号挿入ステップの処理により前記同期信号が挿入された前記符号語列を NRZI 変換し、記録符号列を作成する NRZI 変換ステップと

をさらに含むことを特徴とする請求項 1 0 に記載の変調方法。

【請求項 1 2】 前記変換ステップの処理は、

$d = 1$ 、 $k = 7$ 、 $m = 2$ 、 $n = 3$ の基礎コードを有する前記変換テーブルの変換コードに含まれる所定のパターンを、前記入力されたデータから検出する変換コード検出ステップと、

前記変換テーブルの変換コードに含まれる、符号を任意の位置において終端させるための終端コードを、前記入力されたデータから検出する終端コード検出ステップと、

前記変換テーブルの変換コードに含まれ、直前または直後の符号語が「1」のとき「0」となり、「0」のとき「1」となる記号を*とするととき、「0 0 0」または「1 0 1」となる符号「* 0 *」を有する不確定符号を含む不確定コードを、前記入力されたデータから検出する不確定コード検出ステップと、

前記不確定コード検出ステップの処理により検出された前記不確定コードに含まれる前記不確定符号の*に対応する符号を決定する不確定ビット決定ステップと、

前記変換コード検出ステップ、前記終端コード検出ステップ、および前記不確定コード検出ステップの処理の検出結果、並びに、前記不確定ビット決定ステッ

プの処理による符号の決定結果に基づいて、利用する前記変換テーブルの前記変換コードを決定する変換パターン決定ステップと

を含むことを特徴とする請求項 1 1 に記載の変調方法。

【請求項 1 3】 終端位置を特定するための情報を供給する終端位置カウンタを有する変調装置の変調方法において、

前記終端コード検出ステップの処理は、前記入力されたデータから前記変換テーブルの変換コードに含まれる所定のパターンを検出し、前記終端位置カウンタにより供給される情報が終端位置を示すことにより、前記終端コードを検出したと判定する

ことを特徴とする請求項 1 2 に記載の変調方法

【請求項 1 4】 前記不確定コード検出ステップの処理は、前記変換パターン決定ステップの処理により決定された前記変換パターンの最終ビットの情報、および、前記同期信号挿入ステップの処理により挿入された前記同期信号のパターンの最終ビットの情報の取得を制御し、

前記不確定ビット決定ステップの処理は、前記不確定コード検出ステップの処理により取得が制御された前記変換パターンの最終ビットの情報、および前記同期信号のパターンの最終ビットの情報に基づいて、前記不確定符号の*に対応する符号を決定する

ことを特徴とする請求項 1 2 に記載の変調方法。

【請求項 1 5】 前記変換パターン決定ステップの処理は、前記終端コードに基づいて、前記入力されたデータ列を変換する前記変換パターンを決定したか否かを判定し、

前記同期信号挿入ステップの処理は、前記変換パターン決定ステップの処理による判定結果に基づいて、所定の処理が行われた前記同期信号を前記符号語列の任意の位置に挿入する

ことを特徴とする請求項 1 2 に記載の変調方法。

【請求項 1 6】 前記所定の処理において、前記同期信号の先頭ビットは、前記終端コードに基づいて前記変換パターンを決定したと前記変換パターン決定手段が判定した場合、「1」に設定され、

前記終端コードに基づいて前記変換パターンを決定していないと前記変換パターン決定手段が判定した場合、「0」に設定される

ことを特徴とする請求項 1 5 に記載の変調方法。

【請求項 1 7】 基本データ長が m ビットのデータを、基本符号長が n ビットの可変長符号 ($d, k; m, n; r$) に変換する変調装置用のプログラムであって、

データ列の要素内の「1」の個数を 2 で割った時の余りと、変換される符号語列の要素内の「1」の個数を 2 で割った時の余りが、どちらも 1 あるいは 0 で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、

前記変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、前記入力されたデータから検出する最小ラン連続制限コード検出ステップと、

前記最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、前記最小ランの連続を所定の回数以下に制限するように、前記変換ステップの処理により変換された前記符号語列を置き換える連続最小ラン置換ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【請求項 1 8】 基本データ長が m ビットのデータを、基本符号長が n ビットの可変長符号 ($d, k; m, n; r$) に変換する変調装置を制御するコンピュータが実行可能なプログラムであって、

データ列の要素内の「1」の個数を 2 で割った時の余りと、変換される符号語列の要素内の「1」の個数を 2 で割った時の余りが、どちらも 1 あるいは 0 で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、

前記変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、前記入力されたデータから検出する最小ラン連続制限コード検出ステップと、

前記最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、

前記最小ランの連続を所定の回数以下に制限するように、前記変換ステップの処理により変換された前記符号語列を置き換える連続最小ラン置換ステップとを含むことを特徴とするプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は変調装置および方法、記録媒体、並びにプログラムに関し、特に、データ伝送や記録媒体への記録に用いて好適な変調装置および方法、記録媒体、並びにプログラムに関する。

【0002】

【従来の技術】

データを所定の伝送路に伝送したり、または例えば磁気ディスク、光ディスク、光磁気ディスク等の記録媒体に記録したりする際、伝送路や記録媒体に適するように、データの変調が行われる。このような変調方法の1つとして、ブロック符号が知られている。このブロック符号は、データ列を $m \times i$ ビットからなる単位（以下データ語という）にブロック化し、このデータ語を適当な符号則に従って、 $n \times i$ ビットからなる符号語に変換するものである。そしてこの符号は、 $i = 1$ のときには固定長符号となり、また i が複数個選べるとき、すなわち、1乃至 i_{\max} （最大の i ）の範囲の所定の i を選択して変換したときには可変長符号となる。このブロック符号化された符号は可変長符号 $(d, k; m, n; r)$ と表される。

【0003】

ここで i は拘束長と称され、 i_{\max} は r （最大拘束長）となる。また d は、連続する“1”の間に入る、“0”の最小連続個数、例えば“0”の最小ランを示し、 k は連続する“1”の間に入る、“0”の最大連続個数、例えば“0”の最大ランを示している。

【0004】

ところで上述のようにして得られる可変長符号を、光ディスクや光磁気ディスク等に記録する場合、例えばコンパクトディスクやミニディスクでは、可変長符

号において、“1”を反転とし、“0”を無反転として、NRZI(Non Return to Zero Inverted)変調し、NRZI変調された可変長符号（以下、記録波形列とも称する）に基づいて記録が行なわれている。また、記録密度のあまり大きくなかった初期のISO(International Organization for Standardization)規格の光磁気ディスクでは、記録変調されたビット列が、NRZI変調されず、そのまま記録されていた。

【0005】

記録波形列の最小反転間隔を T_{\min} とし、最大反転間隔を T_{\max} とするとき、線速方向に高密度に記録を行うためには、最小反転間隔 T_{\min} は長い方が、すなわち最小ラン d は大きい方が良く、またクロックの再生の面からは、最大反転間隔 T_{\max} は短い方が、すなわち最大ラン k は小さい方が望ましく、この条件を満足するために、種々の変調方法が提案されている。

【0006】

具体的には、例えば光ディスク、磁気ディスク、又は光磁気ディスク等において、提案あるいは実際に使用されている変調方式として、可変長符号であるRLL(1-7)((1, 7; m, n; r)とも表記される)やRLL(2-7)((2, 7; m, n; r)とも表記される)、そしてISO規格MOに用いられている固定長RLL(1-7)((1, 7; m, n; 1)とも表記される)などがある。現在開発研究されている、記録密度の高い光ディスクや光磁気ディスク等のディスク装置では、最小ラン $d=1$ のRLL符号(Run Length Limited Code)がよく用いられている。

【0007】

可変長RLL(1-7)符号の変換テーブルは、例えば以下のようなテーブルである。

【0008】

【表 1】

RLL (1, 7; 2, 3; 2)		
	データ	符号
i=1	11	00x
	10	010
	01	10x
i=2	0011	000 00x
	0010	000 010
	0001	100 00x
	0000	100 010

【0 0 0 9】

ここで変換テーブル内の記号 x は、次に続くチャネルビットが "0" であるときに "1" とされ、また次に続くチャネルビットが "1" であるときに "0" とされる。最大拘束長 r は 2 である。

【0 0 1 0】

可変長 RLL (1-7) のパラメータは (1, 7; 2, 3; 2) であり、記録波形列のビット間隔を T とすると、 $(d+1)T$ で表される最小反転間隔 T_{\min} は $2 (= 1+1)T$ となる。データ列のビット間隔を T_{data} とすると、この $(m/n) \times 2$ で表される最小反転間隔 T_{\min} は $1.33 (= (2/3) \times 2) T_{\text{data}}$ となる。また $(k+1)T$ で表される最大反転間隔 T_{\max} は $8 (= 7+1)T$ ($= (m/n) \times 8 T_{\text{data}} = (2/3) \times 8 T_{\text{data}} = 5.33 T_{\text{data}}$) である。さらに検出窓幅 T_w は $(m/n) \times T_{\text{data}}$ で表され、その値は $0.67 (= 2/3) T_{\text{data}}$ となる。

【0 0 1 1】

ところで、表 1 の RLL (1-7) による変調を行ったチャネルビット列においては、発生頻度としては T_{\min} である $2T$ が一番多く、以下 $3T$ 、 $4T$ と続く。 $2T$ や $3T$ のようなエッジ情報が早い周期で多く発生するのは、クロック再生には有利となる場合が多い。

【0 0 1 2】

ところが、線速方向の記録密度をさらに高くしていくと、今度は逆に、 T_{\min} が問題となってくる。すなわち最小ランである $2T$ が、連続して発生し続けた時

は、記録波形に歪みが生じやすくなってくる。なぜなら $2T$ の波形出力は、他の波形出力よりも小さいので、例えばノイズ、デフォーカス、あるいはタンジェンシャル・チルト等による影響を受け易くなるからである。

【0013】

このように、高線密度記録の際には、 $T_{\min}(2T)$ の連続した記録は、ノイズ等の外乱の影響を受けやすくなり、従ってデータ再生時において、誤りが発生し易くなる。この場合における、データ再生誤りのパターンとしては、連続する $T_{\min}(2T)$ の先頭から最後までのエッジが一斉にシフトして誤るケースが多く、すなわち発生するビットエラー長が長くなってしまふ。

【0014】

ところで、記録媒体へのデータの記録、あるいは、データの伝送の際には、記録媒体あるいは伝送路に適した符号化変調が行われるが、これら変調符号に直流成分が含まれていると、例えば、ディスク装置のサーボの制御におけるトラッキングエラーなどの、各種のエラー信号に変動が生じ易くなったり、あるいはジッターが発生し易くなったりする。従って、変調符号には、直流成分をなるべく含めないようにする方が良い。

【0015】

そこで、DSV(Digital Sum Value)を制御することが提案されている。このDSVとは、チャネルビット列をNRZI化し(すなわちレベル符号化し)、そのビット列(データのシンボル)の"1"を「+1」、「0」を「-1」として、符号を加算していったときのその総和を意味する。符号列の直流成分の目安となるDSVの絶対値を小さくすること、すなわち、DSV制御を行うことは、符号列の直流成分を抑制することになる。

【0016】

上記表1に示した、可変長RLL(1-7)テーブルによる変調符号は、DSV制御が行われていない。このような場合のDSV制御は、変調後の符号化列(チャネルビット列)において、所定の間隔でDSV計算を行い、所定のDSV制御ビットを符号化列(チャネルビット列)内に挿入することで、実現する。

【0017】

しかしながら、DSV制御ビットは、基本的には冗長ビットである。従って符号変換の効率から考えれば、DSV制御ビットはなるべく少ない方が良い。

【0018】

またさらに、挿入されるDSV制御ビットによって、最小ラン d および最大ラン k は、変化しない方が良い。 (d, k) が変化すると、記録再生特性に影響を及ぼしてしまうからである。

【0019】

ただし実際のRLL符号は、最小ランは必ず守る必要があるが、最大ランについてはその限りではない。場合によっては最大ランを破るパターンを同期信号に用いるフォーマットも存在する。例えば、DVD (Digital Versatile Disk) の8-16符号における最大ランは11Tだが、同期信号パターン部分において最大ランを超える14Tを与え、同期信号の検出能力を上げている。

【0020】

従って、変換効率の優れたRLL(1-7)方式において、高密度化に対応して、高線密度に、より適するように最小ランの連続を制御すること、および、DSV制御制御をなるべく効率よく行うことは、重要である。

【0021】

以上に対して、例えば、本件出願人が先に出願した、特開平11-177431号公報において、データ列に第1のDSV制御ビットを挿入した第1のデータ列と、第2のDSV制御ビットを挿入した第2のデータ列を生成するDSV制御ビット挿入手段と、最小ラン d が1とされ、かつ、データ列の要素内の"1"の個数と、変換される符号語列の要素内の"1"の個数を、2で割った時の余りが、どちらも1あるいは0で一致するような変換テーブルを用いて、第1のデータ列と第2のデータ列の両方を変調する変調手段と、変換テーブルを用いて変調された第1のデータ列の第1の区間DSVと第2のデータ列の第2の区間DSVを計算し、それらをそれまでの累積DSVと加算した値から、変換テーブルを用いて変調された第1のデータ列と第2のデータ列の一方を選択して出力するDSV計算手段とを備えることを特徴とする変調装置が開示されている。

【0022】

図 1 は、従来の変調装置の構成例を示すブロック図である。

【 0 0 2 3 】

図 1 に示すように、変調装置 1 0 は、入力されたデータ列に対して、所定の間隔で DSV ビットとして、“ 1 ” または “ 0 ” を挿入する DSV ビット挿入部 1 1 を備える。この DSV ビット挿入部 1 1 では、DSV ビット “ 1 ” を挿入するデータ列と、DSV ビット “ 0 ” を挿入するデータ列とが用意される。変調部 1 2 は、DSV ビット挿入部 1 1 で DSV ビットの挿入されたデータ列を変調する。DSV 制御部 1 3 は、変調部 1 2 で変調された符号語列を NRZI 化してレベルデータとした後に DSV 計算を行い、最終的に DSV 制御の行われた記録符号列を出力する。

【 0 0 2 4 】

また、他の例として、本件出願人が先に出願した、特開平 1 1 - 3 4 6 1 5 4 号公報において、変換コードとして、 $d = 1$ 、 $k = 7$ 、 $m = 2$ 、 $n = 3$ の基礎コードと、データ列の要素内の「 1 」の個数を 2 で割ったときの余りと、変換される符号語列内の「 1 」の個数を 2 で割った余りが、どちらも 1 あるいは 0 で一致するような変換規則と、最小ラン d の連続を所定の回数以下に制限する第 1 の置き換えコードと、ラン長制限を守るための第 2 の置き換えコードを有することを特徴とした変換テーブルが開示されている。

【 0 0 2 5 】

図 2 は、従来の変調装置の他の構成例を示すブロック図である。

【 0 0 2 6 】

図 2 に示すように、変調装置 2 0 は、DSV 制御ビットである「 1 」あるいは「 0 」を決定し、入力されたデータ列に、任意の間隔で挿入する DSV 制御ビット決定・挿入部 2 1、DSV 制御ビットが挿入されたデータ列を変調する変調部 2 2、並びに、変調部 2 2 の出力を記録波形列に変換する NRZI 化部 2 3 を備える。また、変調装置 2 0 は、タイミング信号を生成し、各部に供給してタイミングを管理するタイミング管理部 2 4 を備える。

【 0 0 2 7 】

【発明が解決しようとする課題】

しかしながら、上述したような変調装置を実現する回路の構成は複雑になってしまいう課題があった。また、回路の構成が複雑なため、他システムへの応用が難しいという課題もあった。

【0028】

本発明はこのような状況に鑑みてなされたものであり、変調装置を実現する回路の構成を簡単にし、他システムへの応用を容易に行うことができるようにするものである。

【0029】

【課題を解決するための手段】

本発明の変調装置は、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換手段と、変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、入力されたデータから検出する最小ラン連続制限コード検出手段と、最小ラン連続制限コード検出手段による検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、変換手段により変換された符号語列を置き換える連続最小ラン置換手段とを備えることを特徴とする。

【0030】

前記変換手段による、変換テーブルに含まれる所定の変換コードに基づいた変換の回数をカウントし、その情報を保持する変調情報保持手段をさらに備え、最小ラン連続制限コード検出手段は、変調情報保持手段により保持されている情報の内容に基づいて、入力されたデータからの最小ラン連続制限コードの検出が制御されるようにすることができる。

【0031】

前記連続最小ラン置換手段により最小ランの連続が所定の回数以下に制限された符号語列の任意の位置に、変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する同期信号挿入手段と、同期信号挿入手段により同期信号が挿入された符号語列をNRZI変換し、記録符号列を作成するNRZI

変換手段とをさらに備えるようにすることができる。

【0032】

前記変換手段は、 $d=1$ 、 $k=7$ 、 $m=2$ 、 $n=3$ の基礎コードを有する前記変換テーブルの変換コードに含まれる所定のパターンを、入力されたデータから検出する変換コード検出手段と、変換テーブルの変換コードに含まれる、符号を任意の位置において終端させるための終端コードを、入力されたデータから検出する終端コード検出手段と、変換テーブルの変換コードに含まれ、直前または直後の符号語が「1」のとき「0」となり、「0」のとき「1」となる記号を*とすると、 000 または 101 となる符号「*0*」を有する不確定符号を含む不確定コードを、入力されたデータから検出する不確定コード検出手段と、不確定コード検出手段により検出された不確定コードに含まれる不確定符号の*に対応する符号を決定する不確定ビット決定手段と、変換コード検出手段、終端コード検出手段、および不確定コード検出手段の検出結果、並びに、不確定ビット決定手段による符号の決定結果に基づいて、利用する変換テーブルの変換コードを決定する変換パターン決定手段とを備えるようにすることができる。

【0033】

前記終端コード検出手段は、終端位置を特定するための情報を供給する終端位置カウンタを有し、入力されたデータから変換テーブルの変換コードに含まれる所定のパターンを検出し、終端位置カウンタにより供給される情報が終端位置を示すことにより、終端コードを検出したと判定するようにすることができる。

【0034】

前記不確定コード検出手段は、変換パターン決定手段により決定された変換パターンの最終ビットの情報、および、同期信号挿入手段により挿入された同期信号のパターンの最終ビットの情報を取得し、不確定ビット決定手段は、不確定コード検出手段が取得した変換パターンの最終ビットの情報、および同期信号のパターンの最終ビットの情報に基づいて、不確定符号の*に対応する符号を決定するようにすることができる。

【0035】

前記変換パターン決定手段は、終端コードに基づいて、入力されたデータ列を

変換する変換パターンを決定したか否かを判定し、同期信号挿入手段は、変換パターン決定手段による判定結果に基づいて、所定の処理が行われた同期信号を符号語列の任意の位置に挿入するようにすることができる。

【0036】

前記所定の処理において、同期信号の先頭ビットは、終端コードに基づいて変換パターンを決定したと変換パターン決定手段が判定した場合、「1」に設定され、終端コードに基づいて変換パターンを決定していないと変換パターン決定手段が判定した場合、「0」に設定されるようにすることができる。

【0037】

本発明の変調方法は、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、入力されたデータから検出する最小ラン連続制限コード検出ステップと、最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、変換ステップの処理により変換された符号語列を置き換える連続最小ラン置換ステップとを含むことを特徴とする。

【0038】

前記変換ステップの処理による、変換テーブルに含まれる所定の変換コードに基づいた変換の回数をカウントし、その情報の保持を制御する変調情報保持ステップをさらに備え、最小ラン連続制限コード検出ステップの処理は、変調情報保持ステップの処理により保持が制御されている情報の内容に基づいて、入力されたデータからの最小ラン連続制限コードの検出を制御するようにすることができる。

【0039】

前記連続最小ラン置換ステップの処理により最小ランの連続が所定の回数以下に制限された符号語列の任意の位置に、変換テーブルの変換コードとして存在し

ないユニークなパターンを含む同期信号を挿入する同期信号挿入ステップと、同期信号挿入ステップの処理により同期信号が挿入された符号語列をNRZI変換し、記録符号列を作成するNRZI変換ステップとをさらに含むようにすることができる。

【0040】

前記変換ステップの処理は、 $d=1$ 、 $k=7$ 、 $m=2$ 、 $n=3$ の基礎コードを有する変換テーブルの変換コードに含まれる所定のパターンを、入力されたデータから検出する変換コード検出ステップと、変換テーブルの変換コードに含まれる、符号を任意の位置において終端させるための終端コードを、入力されたデータから検出する終端コード検出ステップと、変換テーブルの変換コードに含まれ、直前または直後の符号語が「1」のとき「0」となり、「0」のとき「1」となる記号を*とすると、「000」または「101」となる符号「*0*」を有する不確定符号を含む不確定コードを、入力されたデータから検出する不確定コード検出ステップと、不確定コード検出ステップの処理により検出された不確定コードに含まれる不確定符号の*に対応する符号を決定する不確定ビット決定ステップと、変換コード検出ステップ、終端コード検出ステップ、および不確定コード検出ステップの処理の検出結果、並びに、不確定ビット決定ステップの処理による符号の決定結果に基づいて、利用する変換テーブルの変換コードを決定する変換パターン決定ステップとを含むようにすることができる。

【0041】

終端位置を特定するための情報を供給する終端位置カウンタを有する変調装置の変調方法において、終端コード検出ステップの処理は、入力されたデータから変換テーブルの変換コードに含まれる所定のパターンを検出し、終端位置カウンタにより供給される情報が終端位置を示すことにより、終端コードを検出したと判定するようにすることができる。

【0042】

前記不確定コード検出ステップの処理は、変換パターン決定ステップの処理により決定された変換パターンの最終ビットの情報、および、同期信号挿入ステップの処理により挿入された同期信号のパターンの最終ビットの情報の取得を制御

し、不確定ビット決定ステップの処理は、不確定コード検出ステップの処理により取得が制御された変換パターンの最終ビットの情報、および同期信号のパターンの最終ビットの情報に基づいて、不確定符号の*に対応する符号を決定するようにすることができる。

【0043】

前記変換パターン決定ステップの処理は、終端コードに基づいて、入力されたデータ列を変換する変換パターンを決定したか否かを判定し、同期信号挿入ステップの処理は、変換パターン決定ステップの処理による判定結果に基づいて、所定の処理が行われた同期信号を符号語列の任意の位置に挿入するようにすることができる。

【0044】

前記所定の処理において、同期信号の先頭ビットは、終端コードに基づいて変換パターンを決定したと変換パターン決定手段が判定した場合、「1」に設定され、終端コードに基づいて変換パターンを決定していないと変換パターン決定手段が判定した場合、「0」に設定されるようにすることができる。

【0045】

本発明の記録媒体のプログラムは、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、入力されたデータから検出する最小ラン連続制限コード検出ステップと、最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、変換ステップの処理により変換された符号語列を置き換える連続最小ラン置換ステップとを含むことを特徴とする。

【0046】

本発明のプログラムは、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、ど

ちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、入力されたデータから検出する最小ラン連続制限コード検出ステップと、最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、変換ステップの処理により変換された符号語列を置き換える連続最小ラン置換ステップとをコンピュータに実行させる。

【 0 0 4 7 】

本発明の変調装置および方法、並びにプログラムにおいては、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータが符号語に変換され、変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードが、入力されたデータから検出され、その検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、入力されたデータが変換された符号語列が置き換えられる。

【 0 0 4 8 】

【発明の実施の形態】

本発明の実施の形態について説明するが、以下においては、説明の便宜上、変換される前のデータの「0」と「1」の並び（変換前のデータ列）を、（0 0 0 0 1 1）のように、（ ）で区切って表し、変換された後の符号の「0」と「1」の並び（符号語列）を、" 0 0 0 1 0 0 1 0 0 " のように、" " で区切って表すことにする。以下に示す表2は、本発明のデータを符号に変換する変換テーブルの例を表している。

【 0 0 4 9 】

【表 2】

1, 77PP_table

(d, k; m, n; r) = (1, 7; 2, 3; 4)

データ	符号
11	*0* (Before 0:*=1, Before 1:*=0)
10	001
01	010
0011	010 100
0010	010 000
0001	000 100
000011	000 100 100
000001	010 100 100
00001000	000 100 100 100
00001001	000 100 000 010
00001010	000 100 000 001
00001011	000 100 000 101
00000000	010 100 100 100
00000001	010 100 000 010
00000010	010 100 000 001
00000011	010 100 000 101
#110111-01	:
001	:101 010 101 → 001 000 000
00000	:000 010 101 (cbit replace)
0000t	:

Termination table

00	000
0000	010 100
000010	000 100 000
000000	010 000 000

【 0 0 5 0 】

表 2 の変換テーブルは、最小ラン d = 1、最大ラン k = 7 で、データと変換されるチャンネルビットの変換比率は、m : n = 2 : 3 である。また、最大拘束長は、r = 4 の可変長テーブルである。この変換テーブルは、変換コードとして、それがないと変換処理ができない基礎コード（データ列 (1 1) から (0 0 0 0 0 1 1) までのコード）、それがなくても変換処理は可能であるが、それがある

と、より効果的な変換処理が可能となる置き換えコード（データ列（110111）のコード）、および、符号を任意の位置で終端させるための終端コード（データ列（00）、（0000）、（000010）、（000000）のコード）により構成される終端テーブル（termination table）を含んでいる。また、この変換テーブルには、同期信号も規定されている。

【0051】

また、表2は、基礎コードの要素に不確定符号（*を含む符号）を含んでいる。不確定符号は、直前および直後の符号語列の如何によらず、最小ランクと最大ランクを守るように、“0”か“1”に決定される。すなわち表2において、変換する2ビットのデータ列が（11）であったとき、その直前の符号語列によって、“000”または“101”が選択され、そのいずれかに変換される。すなわち、直前の符号語列の1チャンネルビットが“1”である場合、最小ランクを守るために、2ビットのデータ（11）は、符号語“000”に変換され、直前の符号語列の1チャンネルビットが“0”である場合、最大ランクが守られるように、符号語“101”に変換される。

【0052】

また、表2の変換テーブルは、最小ランの連続を制限する置き換えコードを含んでいる。データ列が（110111）であり、さらに直後のデータデータ列が（01）、（001）、若しくは（00000）である場合、または、データ列（110111）の直後のデータ列が（0000）と続き、ここで終端される場合、データ列（110111）は符号語“001000000”に置き換えられる。なお、直後のデータ列が上述したようなデータ列でない場合、このデータ列（110111）は、2ビット単位（（11）、（01）、（11））で符号化され、符号語列“101010101”または“000010101”に変換される。

【0053】

さらに、表2の変換コードは、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で同一（対応するいずれの要素も、「1」の個数が奇

数または偶数)となるような変換規則を持っている。例えば、変換コードのうちのデータ列の要素(000001)は、"010100100"の符号語列の要素に対応しているが、それぞれの要素の「1」の個数は、データ列では1個、対応する符号語列では3個であり、どちらも2で割ったときの余りが1(奇数)で一致している。同様にして、変換コードのうちのデータ列の要素(00000000)は、"010100100100"の符号語列の要素に対応しているが、それぞれ「1」の個数は、データ列では0個、対応する符号語列では4個であり、どちらも2で割ったときの余りが0(偶数)で一致している。

【0054】

次に、図3を参照して、本発明に係る変調装置の実施の形態を、図面を参照しながら説明する。この実施の形態では、データ列が、表2に従って、可変長符号($d, k; m, n; r$) = (1, 7; 2, 3; 4)に変換される。

【0055】

図3に示すように、変調装置30は、DSV制御ビットとして「1」あるいは「0」を決定し、入力されたデータ列に、任意の間隔で挿入するDSV制御ビット決定・挿入部31、決定されたDSV制御ビットが挿入されたデータ列を所定の変換テーブルを用いてチャネルビットに変換するパターン変換部32、パターン変換部32において変換された場合、変換後のチャネルビット列が最小ランの連続となる位置を、DSV制御ビットが挿入されたデータ列より検出し、この位置情報を出力する最小ラン連続制限コード検出部33、最小ラン連続制限コード検出部33に供給された位置情報に基づいて、パターン変換部32に供給されたチャネルビット列の所定の部分を所定のパターンに置き換えることにより、最小ランの連続を所定回数以内に制限する連続最小ラン置換部34、連続最小ラン置換部34より供給されたチャネルビット列の所定の位置に同期信号を挿入する同期信号挿入部35、並びに、同期信号挿入部35の出力を記録波形列に変換するNRZI化部36を備える。また、変調装置30は、タイミング信号を生成し、DSV制御ビット決定・挿入部31、パターン変換部32、最小ラン連続制限コード検出部33、連続最小ラン置換部34、同期信号挿入部35、およびNRZI化部36に供給してタイミングを管理するタイミング管理部37を備える。

【 0 0 5 6 】

図 4 は、図 3 の変調装置 3 0 の処理を説明する図である。DSV制御ビット決定・挿入部 3 1 において、DSV制御ビットの決定及び挿入は、データ列内の任意の間隔おきに行われる。図 4 に示すように、入力されたデータ語のうち、まず DATA 1 と DATA 2 の間に DSV 制御ビットを挿入するために、DSV 制御ビット決定・挿入部 3 1 は、DATA 1 までの積算 DSV を計算する。DSV 値は、DATA 1 を、チャンネルビット列に変換し、さらにレベル符号化 (NRZI 化) した各レベルを、レベル H (1) を「+1」、レベル L (0) を「-1」として、それらの値を積算することによって得られる。同様に、次の区間 DATA 2 における区間 DSV が計算される。次に、DATA 1 と DATA 2 の間に挿入される DSV 制御ビット x_1 として、DATA 1、DSV 制御ビット x_1 、および DATA 2 による DSV の絶対値が「零」に近づくような値を決定する。

【 0 0 5 7 】

DSV 制御ビット x_1 を (1) に設定すると、DATA 1 の後の区間 DATA 2 のレベル符号は反転され、また、(0) に設定すると、DATA 1 の後の区間 DATA 2 のレベル符号は非反転となる。なぜならば、上記表 2 及び表 3 の各テーブル内の要素は、データ列の要素内の「1」の個数と、変換される符号語列の要素内の「1」の個数を、2 で割った時の余りが、どちらも 1 あるいは 0 で一致するようになっているので、データ列内において、(1) を挿入することは、すなわち、変換される符号語列に“1”を挿入することになる (すなわち「反転」されることになる) からである。

【 0 0 5 8 】

このようにして、図 4 の DSV 制御ビット x_1 が決定したら、次に所定のデータ間隔において、DATA 2 と DATA 3 の間に、DSV 制御ビット x_2 を挿入し、同様に DSV 制御を行う。なお、そのときの積算 DSV 値は、DATA 1、 x_1 、そして DATA 2 までの全ての DSV 値とする。

【 0 0 5 9 】

また、DATA 1 には、フレーム間で同期をとるためのフレーム同期信号 (以下、FS (Frame Sync) と称する) が挿入される。このため、DATA 1 においては、DSV 制御ビットを挿入する間隔である DSV 区間は、短く設定される。FS および、DATA

1 に対応するチャンネルビットからなる Cbit 1 を含む DSV 区間の長さである span 1、DATA 2 に対応するチャンネルビットからなる Cbit 2 を含む DSV 区間の長さである span 2、および DATA 3 に対応するチャンネルビットからなる Cbit 3 を含む DSV 区間の長さである span 3 が全て同じ長さ ($\text{span } 1 = \text{span } 2 = \text{span } 3$) となるように、DATA 1 の長さは決定される。すなわち、挿入された FS が FS (bit) であり、DATA 2 および DATA 3 がともに y (bit) である場合、変換テーブルの変換率が $m : n = 2 : 3$ であるので、DATA 1 は、 $y - \text{FS} * 2 / 3$ (bit) となる。

【 0 0 6 0 】

以上のように、チャンネルビット列 (NRZI 化後の記録符号列) は、FS が挿入された後において、等しい間隔で DSV 制御ビットが挿入されており、DSV 制御が行われる。

【 0 0 6 1 】

図 5 は、変調装置 3 0 の詳細な構成例を示すブロック図である。図 5 において、入力されたデータ列は、DSV 制御ビット決定・挿入部 3 1 において、DSV 制御ビットを挿入され、シフトレジスタ 5 1 に供給される。

【 0 0 6 2 】

シフトレジスタ 5 1 は、データを 2 ビットずつシフトさせながら、最小ラン連続制限コード検出部 3 3、並びにパターン変換部 3 2 の不確定コード検出処理部 6 1、変換コード検出部 6 2、および、終端コード検出部 6 3 に供給するようになされている。このときシフトレジスタ 5 1 は、各部がその処理を行うのに必要なビット数を各部に供給する。

【 0 0 6 3 】

最小ラン連続制限コード検出部 3 3 は、入力されたデータから表 2 中の (1 1 0 1 1 1) のパターンを検出する。最小ラン連続制限コード検出部 3 3 は、予め所定のビット数のデータ列を記憶しており、入力されたデータから (1 1 0 1 1 1) を検出すると、さらに続く入力データ列を参照する。そして、(1 1 0 1 1 1) の直後に続くパターンが (0 1)、(0 0 1)、若しくは (0 0 0 0 0) である場合、または、(1 1 0 1 1 1) の直後に続くパターンが (0 0 0 0) であり、さらに入力されたデータがここで終端される場合、最小ラン連続制限コード

検出部 33 は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部 34 に供給する。

【0064】

なお、最小ラン連続制限コード検出部 33 は、予め所定のビット数のデータ列を記憶しており、上記とは逆に、入力されたデータから (01)、(001)、若しくは (0000) を検出した場合、または、入力されたデータから (0000) を検出し、さらに入力されたデータがここで終端される場合、その直前の入力データ列を 6 データ分参照するようにし、そして、参照の結果が (110111) である場合、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部 34 に供給するようにしてもよい。

【0065】

不確定コード検出処理部 61 は、表 2 中の拘束長 $r = 1$ における (11) を入力されたデータから検出する。不確定コード検出処理部 61 は、入力されたデータが (11) である場合、その情報をセレクタ部 65 および変換パターン決定部 66 に供給する。そして、直前のパターンの最終チャネルビットの情報を、変換パターン決定部 66 または同期信号挿入部 35 から取得し（すなわち、変調装置 30 において、直前のパターンの最終チャネルビットの情報は不確定コード検出処理部 61 にフィードバックされる）、その取得した最終チャネルビットが 0 である場合は変換する符号を “101” に決定し、最終チャネルビットが 1 である場合は変換する符号を “000” に決定するように、不確定ビット決定部 67 に情報を供給する。

【0066】

変換コード検出部 62 は、表 2 中の (11) および (110111) 以外のパターンを、termination table 以外の部分より検出する。そして、拘束長 $r = 1$ 乃至 4 に対し、それぞれデータ列パターンが検出された場合、その情報を、変換パターン決定部 66 へ供給する。

【0067】

終端コード検出部 63 は、表 2 中の termination table から終端コードのパターンを検出する。すなわち、終端コード検出部 63 は、入力されたデータから (

00)、(0000)、(000010)若しくは(000000)を検出し、さらに、内部に持つ終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、終端コードを検出したと判定し、その情報を変換パターン決定部66に供給する。これにより、変調装置30では、シフトレジスタ51から供給されたデータ、すなわちDSV制御ビットが挿入されたデータ列から、終端位置を判定することができる。

【0068】

なお、図5において、パターン変換部32は、上述した不確定コード検出処理部61、変換コード検出部62、および、終端コード検出部63以外にも、拘束長 $r=1$ 乃至4の変換パターンを記憶する記憶部64、使用する変換パターンを選択するセクタ部65、入力されたデータをチャンネルビットに変換する変換パターン決定部66、およびチャンネルビット列において不確定なビットを決定する不確定ビット決定部67などにより構成される。

【0069】

記憶部64は、表2に示すような変換テーブルの拘束長 $r=1$ の変換パターンである2-3変換パターン71、拘束長 $r=2$ の変換パターンである4-6変換パターン72、拘束長 $r=3$ の変換パターンである6-9変換パターン73、および、拘束長 $r=4$ の変換パターンである8-12変換パターン74を記憶しており、各パターンをセクタ部65に供給する。

【0070】

上述した2-3変換パターン71、4-6変換パターン72、6-9変換パターン73、および8-12変換パターン74は、不確定コード検出処理部61、変換コード検出部62、終端コード検出部63、または最小ラン連続制限コード検出部33より供給される情報が、例えば、変換されるチャンネルビット列と1対1に対応する識別用の情報を有するなどして、テーブルの各要素に対して個別に識別可能な情報である場合、表2中における、データ列からチャンネルビット列への対応テーブルのような構造以外の構造であっても構成することができる。

【0071】

セクタ部65は、不確定コード検出処理部61に供給された情報に基づいて

、記憶部 6 4 に記憶されている 2 - 3 変換パターン 7 1、4 - 6 変換パターン 7 2、6 - 9 変換パターン 7 3、および 8 - 1 2 変換パターン 7 4 の中から、使用する変換パターンを選択して取得し、変換パターン決定部 6 6 に供給する。なお、不確定コード検出処理部 6 1 が入力されたデータから (1 1) を検出した場合、セクタ部 6 5 は、取得した 2 - 3 変換パターン 7 1 を不確定ビット決定部 6 7 に供給する。

【 0 0 7 2 】

変換パターン決定部 6 6 は、不確定コード検出処理部 6 1、変換コード検出部 6 2、および終端コード検出部 6 3 より取得した情報に基づいて、セクタ部 6 5、若しくは不確定ビット決定部 6 7 より供給された変換パターンの中から使用する変換コードを選択し、連続最小ラン置換部 3 4 に供給するようになされている。また、変換パターン決定部 6 6 は、決定した変換パターンの最終チャネルビットの情報を不確定コード検出処理部 6 1 に供給する。さらに、同期信号挿入部 3 5 において、同期信号がチャネルビット列の所定の位置に挿入される場合、変換パターン決定部 6 6 は、必要に応じて、termination table が使用されたか否か等の情報からなる終端処理情報を同期信号挿入部 3 5 に供給する。

【 0 0 7 3 】

不確定ビット決定部 6 7 は、不確定コード検出処理部 6 1 に供給された情報に基づいて、セクタ部 6 5 より供給される 2 - 3 変換パターン 7 1 の不確定符号を決定し、その情報を変換パターン決定部 6 6 に供給する。

【 0 0 7 4 】

なお、パターン変換部 3 2 より出力されたチャネルビット列は、最小ランの連続回数を制限されていない。最小ランの連続回数は、連続最小ラン置換部 3 4 において制限される。

【 0 0 7 5 】

連続最小ラン置換部 3 4 は、最小ラン連続制限コード検出部 3 3 より供給された情報に基づいて、変換パターン決定部 6 6 より供給されたチャネルビット列の所定の部分に対して置き換え処理を行い、最小ランの連続を制限する。そして、連続最小ラン置換部 3 4 は、最小ランの連続を制限したチャネルビット列を同期

信号挿入部35に供給する。

【0076】

同期信号挿入部35は、連続最小ラン置換部34より供給されたチャンネルビット列に変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する。同期信号挿入部35は、所定の間隔においてチャンネルビット列の入力を中断し、所定の同期信号パターンを挿入する。同期信号挿入部35によりチャンネルビット列に挿入された同期信号パターンは、他と区別が可能なチャンネルビット列の形式で挿入されており、必要に応じて変換パターン決定部66より供給される終端処理情報を参照し、決定される。同期信号挿入部35は、チャンネルビット列に同期信号を挿入すると、その同期信号を挿入したチャンネルビット列を、NRZI化部36に供給する。また、同期信号挿入部35は、チャンネルビット列に挿入した同期信号の最終チャンネルビットの情報を、不確定コード検出処理部61に供給する。

【0077】

終端処理情報は、データ列に表2のtermination tableの(00)または(000)の終端パターンが検出された場合に、変換パターン決定部66より同期信号挿入部35に供給される。同期信号挿入部35は、復調時の整合性のために、データ列がtermination tableを用いてチャンネルビット列化されたか、否かを識別し、同期信号を挿入する。

【0078】

例えば、同期信号内の先頭チャンネルビットに終端テーブル識別用ビットが設けられ、termination tableが使用された場合は、この終端テーブル識別用ビットに1が挿入され、通常テーブルを使用した場合は、終端テーブル識別用ビットに0が挿入されるようにすることで、データ列がtermination tableを用いてチャンネルビット列化されたか、否かが識別される。

【0079】

NRZI化部36は、同期信号挿入部35に供給されたチャンネルビット列をチャンネルビット列の1を反転、0を非反転として、ビット列を並び直してNRZI化し、記録符号列を作成する。言い換えると、NRZI化前のチャンネルビット列は、NRZI化後

の記録符号列のエッジ位置を示すビット列であり、NRZI化後の記録符号列は、記録データのH/Lのレベルを示すビット列に相当する。

【0080】

なお、以上において、不確定ビット決定部67は、拘束長 $r=1$ に対してのみ設けられているように説明したが、これに限らず、例えば、図6に示すように、その他の拘束長に対しても設けられていてもよい。

【0081】

図6は、変調装置30の他の詳細な構成例を示すブロック図である。

【0082】

図6において、拘束長 $r=1$ に対しては不確定ビット決定部67が設けられ、拘束長 $r=2$ に対しては不確定ビット決定部81が設けられ、拘束長 $r=3$ に対しては不確定ビット決定部82が設けられ、拘束長 $r=4$ に対しては不確定ビット決定部83が設けられている。これにより、変調装置30は、表2に示すような変換テーブルが拘束長 $r=1$ 、 $r=2$ 、 $r=3$ 、および $r=4$ のすべてにおいて不確定コードを持つ場合においても、不確定ビットを決定することができる。

【0083】

次に、図5を参照して説明した実施の形態の動作について説明する。

【0084】

最初に、DSV制御ビット決定・挿入部31において、入力されたデータ列にDSV制御ビットが挿入され、シフトレジスタ51に供給される。

【0085】

図7は、入力されたデータ列からチャネルビット列への変換における、レジスタ構成を示す模式図である。図7において、データ列を上述した表2に基づいてチャネルビット列へ変換する際に最低限必要なレジスタの構成例が示されており、レジスタとしては、変換前のDSV制御ビットを挿入されたデータ列を格納するために、data[0:11]の12ビット、パターン変換部32の変換後のチャネルビット列を格納するために、cbit[0:17]の18ビットが構成されている。また、その他にタイミング用レジスタ等も構成される。

【0086】

図 5 に戻り、シフトレジスタ 5 1 より、パターン変換部 3 2 の不確定コード検出処理部 6 1、変換コード検出部 6 2、および終端コード検出部 6 3、並びに、最小ラン連続制限コード検出部 3 3 に、データが、2 ビット単位で、それぞれが検出等に必要なビット数だけ供給される。

【 0 0 8 7 】

図 8 は、シフトレジスタ 5 1 より DSV 制御ビット付きデータ列を供給された不確定コード検出処理部 6 1、変換コード検出部 6 2、および終端コード検出部 6 3 の動作の具体例を示す図である。

【 0 0 8 8 】

図 8 において、DSV 制御ビット付きデータ列が、 $\text{data}[0 : 11]$ の 1 2 ビットに、 $\text{data}[0]$ から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされていく。そして、 $\text{data}[11]$ までシフトされたデータは、次のシフト時に捨てられる。

【 0 0 8 9 】

$\text{data}[0, 1]$ に 2 データ入力されると、不確定コード検出処理部 6 1、変換コード検出部 6 2、および終端コード検出部 6 3 は、 $\text{data}[0, 1]$ を参照する。そして、 $\text{data}[0, 1] = [1, 1]$ である場合、 (11) を検出した不確定コード検出処理部 6 1 は、上述したように動作し、その情報をセレクト部 6 5 および変換パターン決定部 6 6 に供給し、変換パターン決定部 6 6 または同期信号挿入部 3 5 から取得した直前のパターンの最終チャネルビットに基づいて、“1 0 1” または “0 0 0” に変換するように、不確定ビット決定部 6 7 に情報を供給する。

【 0 0 9 0 】

また、 $\text{data}[0, 1] = [0, 1]$ または $\text{data}[0, 1] = [1, 0]$ である場合、 (10) または (01) を検出した変換コード検出部 6 2 は、表 2 に示すような変換テーブルの拘束長 $r = 1$ の変換コードを用いて、それぞれ “0 0 1” または “0 1 0” に変換するように、その情報を変換パターン決定部 6 6 に供給する。

【 0 0 9 1 】

そして、 $\text{data}[0, 1] = [0, 0]$ である場合、 (00) を検出した終端コード検出部 6 3 は、上述したように、内部に持つ終端位置カウンタを参照する。そし

て、その終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、“000”に変換し、終端するように、その情報を変換パターン決定部66に供給する。

【0092】

終端コード検出部63の内部に持つ終端位置カウンタによって与えられる情報が終端位置を示さない場合、(00)は、拘束長 $r=1$ においてパターン変換されない。2データがシフトレジスタ51に入力された時点で変換パターンが確定しない場合、シフトレジスタ51には、さらに2データが入力される。

【0093】

新たに2データ(合計4データ)が入力されると、変換コード検出部62および終端コード検出部63は、data[0, 1, 2, 3]を参照する。そして、data[0, 1, 2, 3]=[1, 1, 0, 0]、data[0, 1, 2, 3]=[0, 1, 0, 0]、またはdata[0, 1, 2, 3]=[1, 0, 0, 0]である場合、(0011)、(0010)、または(0001)を検出した変換コード検出部62は、上述したように動作し、表2に示すような変換テーブルの拘束長 $r=2$ の変換コードを用いて、それぞれ“010100”、“010000”、または“000100”に変換するように、情報を変換パターン決定部66に供給する。

【0094】

そして、data[0, 1, 2, 3]=[0, 0, 0, 0]である場合、(0000)を検出した終端コード検出部63は、上述したように、内部に持つ終端位置カウンタを参照する。そして、その終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、“010100”に変換し、終端するように、その情報を変換パターン決定部66に供給する。

【0095】

終端コード検出部63の内部に持つ終端位置カウンタによって与えられる情報が終端位置を示さない場合、(0000)は、拘束長 $r=2$ においてパターン変換されない。4データがシフトレジスタ51に入力された時点で変換パターンが確定しない場合、シフトレジスタ51には、さらに2データが入力される。

【0096】

以上に示す拘束長 $r = 2$ の場合において、 $\text{data}[2, 3] = [0, 0]$ であることは、すでに拘束長 $r = 1$ において判定済みであるので、 $\text{data}[0, 1]$ についての判定が行われるようにしてもよい。

【0097】

新たに2データ（合計6データ）が入力されると、変換コード検出部62および終端コード検出部63は、 $\text{data}[0, 1, 2, 3, 4, 5]$ を参照する。そして、 $\text{data}[0, 1, 2, 3, 4, 5] = [1, 1, 0, 0, 0, 0]$ 、または $\text{data}[0, 1, 2, 3, 4, 5] = [1, 0, 0, 0, 0, 0]$ である場合、(000011)、または(000001)を検出した変換コード検出部62は、上述したように動作し、表2に示すような変換テーブルの拘束長 $r = 3$ の変換コードを用いて、それぞれ“000100100”または“010100100”に変換するように、情報を変換パターン決定部66に供給する。

【0098】

そして、 $\text{data}[0, 1, 2, 3, 4, 5] = [0, 0, 0, 0, 0, 0]$ または $\text{data}[0, 1, 2, 3, 4, 5] = [0, 1, 0, 0, 0, 0]$ である場合、(000000)または(000010)を検出した終端コード検出部63は、上述したように、内部に持つ終端位置カウンタを参照する。そして、その終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、それぞれ“010100000”または“000100000”に変換し、終端するように、その情報を変換パターン決定部66に供給する。

【0099】

終端コード検出部63の内部に持つ終端位置カウンタによって与えられる情報が終端位置を示さない場合、(000000)または(000010)は、拘束長 $r = 3$ においてパターン変換されない。6データがシフトレジスタ51に入力された時点で変換パターンが確定しない場合、シフトレジスタ51には、さらに2データが入力される。

【0100】

以上に示す拘束長 $r = 3$ の場合において、 $\text{data}[2, 3, 4, 5] = [0, 0, 0, 0]$ であることは、すでに拘束長 $r = 2$ において判定済みであるので、 $\text{data}[$

0, 1]についてのみ判定が行われるようにしてもよい。

【0101】

新たに2データ（合計8データ）が入力されると、変換コード検出部62は、data[0, 1, 2, 3, 4, 5, 6, 7]を参照する。そして、data[0, 1, 2, 3, 4, 5, 6, 7]=[0, 0, 0, 0, 0, 0, 0, 0], data[0, 1, 2, 3, 4, 5, 6, 7]=[1, 0, 0, 0, 0, 0, 0, 0], data[0, 1, 2, 3, 4, 5, 6, 7]=[0, 1, 0, 0, 0, 0, 0, 0]、若しくは、data[0, 1, 2, 3, 4, 5, 6, 7]=[1, 1, 0, 0, 0, 0, 0, 0]、または、data[0, 1, 2, 3, 4, 5, 6, 7]=[0, 0, 0, 1, 0, 0, 0, 0], data[0, 1, 2, 3, 4, 5, 6, 7]=[1, 0, 0, 1, 0, 0, 0, 0], data[0, 1, 2, 3, 4, 5, 6, 7]=[0, 1, 0, 1, 0, 0, 0, 0]、若しくはdata[0, 1, 2, 3, 4, 5, 6, 7]=[1, 1, 0, 1, 0, 0, 0, 0]である場合、(00000000), (00000001), (00000010)、若しくは(00000011)、または、(00001000), (00001001), (00001010)、若しくは(00001011)を検出した変換コード検出部62は、上述したように動作し、表2に示すような変換テーブルの拘束長r=4の変換コードを用いて、それぞれ“010100100100”, “010100000010”, “010100000001”、若しくは“0101000000101”、または、“000100100100”, “000100000010”, “000100000001”、若しくは“0001000000101”に変換するように、情報を変換パターン決定部66に供給する。

【0102】

以上に示す拘束長r=4の場合において、data[4, 5, 6, 7]=[0, 0, 0, 0]であることは、すでに拘束長r=2において判定済みであるので、data[0, 1, 2, 3]についてのみ判定が行われるようにしてもよい。

【0103】

以上のように、入力されたDSV制御ビット付データ列は、チャンネルビット列に変換される。そして、次のパターン変換は、パターンが確定した後、再度、拘束

長1から始まるような、動作を繰り返していく。図7に示すように、チャンネルビット列が18ビットのレジスタにより供給されるまでに、データ変換は終了しており、このデータ変換が終了したチャンネルビット列が同期信号挿入35へ供給される。

【0104】

また、最小ラン連続制限コード検出部33は、DSV制御ビット付データ列が入力されたシフトレジスタ51を参照し、最小ラン連続制限コードを検出する。

【0105】

図9は、データ列から最小ラン連続制限コードを検出する最小ラン連続制限コード検出部33の動作の具体例を示す図である。

【0106】

図9において、DSV制御ビット付データ列が、図8の場合と同様に、data[0:11]に、data[0]から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされていく。そして、data[11]までシフトされたデータは、次のシフト時に捨てられる。

【0107】

また、最小ラン連続制限コード検出部33がdata[0:11]を参照する前に、図8に示すようにして、データ列のチャンネルビット列へのパターン変換が1度行われ、変換されたチャンネルビット列は、図7に示すようなチャンネルビット列cbt[0:17]のレジスタに格納される。

【0108】

拘束長 $r=1$ において、data[0, 1]=[1, 0]であり、直前の6データがdata[2, 3, 4, 5, 6, 7]=[1, 1, 1, 0, 1, 1]であって、変調情報レジスタが条件に一致する場合、すなわち、(01)を検出し、その直前の6データにおいて(110111)を検出し、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部33は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部34に供給する。

【0109】

また、拘束長 $r=2$ において、data[0, 1, 2, 3]=[0, 1, 0, 0]また

はdata[0, 1, 2, 3]=[1, 1, 0, 0]であり、直前の6データがdata[4, 5, 6, 7, 8, 9]=[1, 1, 1, 0, 1, 1]であって、変調情報レジスタが条件に一致する場合、すなわち、(0010)または(0011)を検出し、その直前の6データにおいて(110111)を検出し、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部33は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部34に供給する。

【0110】

さらに、拘束長 $r=2$ において、data[0, 1, 2, 3]=[0, 0, 0, 0]で終端位置を示しており、直前の6データがdata[4, 5, 6, 7, 8, 9]=[1, 1, 1, 0, 1, 1]であって、変調情報レジスタが条件に一致する場合、すなわち、(0000)で終端する終端位置を検出し、その直前の6データにおいて(110111)を検出し、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部33は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部34に供給する。

【0111】

さらに、拘束長 $r=3$ において、data[0, 1, 2, 3, 4, 5]=[0, 0, 0, 0, 0, 0]またはdata[0, 1, 2, 3, 4, 5]=[1, 0, 0, 0, 0, 0]であり、直前の6データがdata[6, 7, 8, 9, 10, 11]=[1, 1, 1, 0, 1, 1]であって、変調情報レジスタが条件に一致する場合、すなわち、(000000)または(000001)を検出し、その直前の6データにおいて(110111)を検出し、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部33は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部34に供給する。

【0112】

連続最小ラン置換部34は、最小ラン連続制限コード検出部33より供給された情報に基づいて、チャンネルビット列を所定のチャンネルビット列に置き換える。このとき、data[2, 3, 4, 5, 6, 7]=[1, 1, 1, 0, 1, 1]の場合、すなわち、拘束長 $r=1$ において最小ラン連続制限コードが検出された場合、置

き換えられるチャネルビット列は、 $\text{cbit}[3, 4, 5, 6, 7, 8, 9, 10, 11]$ である。また、 $\text{data}[4, 5, 6, 7, 8, 9] = [1, 1, 1, 0, 1, 1]$ の場合、すなわち、拘束長 $r = 2$ において最小ラン連続制限コードが検出された場合、置き換えられるチャネルビット列は、 $\text{cbit}[6, 7, 8, 9, 10, 11, 12, 13, 14]$ である。同様に、 $\text{data}[6, 7, 8, 9, 10, 11] = [1, 1, 1, 0, 1, 1]$ の場合、すなわち、拘束長 $r = 3$ において最小ラン連続制限コードが検出された場合、置き換えられるチャネルビット列は、 $\text{cbit}[9, 10, 11, 12, 13, 14, 15, 16, 17]$ である。

【0113】

以上のようにして、チャネルビット列からチャネルビット列への置き換え変換が行われる。このように、変調装置30は、置換えに際して、新たにレジスタを追加する必要は無く、簡単な構成で実現できる。また、図7に示すように、チャネルビット列は、18ビットのレジスタにより供給される前に置換処理は完了しており、この置換されたチャネルビット列が同期信号挿入部35に供給される。

【0114】

次に、図10を参照して、最小ラン連続制限コード検出部33の動作の詳細について説明する。図10は、最小ラン連続制限コード検出部33が変調情報レジスタを参照して最小ラン連続制限コードを検出する動作の様子の詳細を示す図である。

【0115】

図10において、DSV制御ビット付データ列は、順にレジスタに入力され、パターン変換部32により、2データに対して3ビットのチャネルビット列に変換される。すなわち、 t_1 、 t_2 、 t_3 、 t_4 、 t_5 、 t_6 、 t_7 の順にDSV制御ビット付データ列が2データ単位で参照してパターン変換処理がされ、チャネルビット列に変換される。パターン変換部32がDSV制御ビット付データ列をチャネルビット列に変換できない場合は、上述したように、さらにDSV制御ビット付データ列が入力され、2データ単位（4データ、6データ、及び8データ）で参照してパターン変換処理が繰り返される。

【0116】

変調情報レジスタ91は、2ビットのデータを格納できるように構成されており、データは1ビットずつ入力され、次のデータが入力されると、前に入力されたデータがシフトするように構成されている。DSV制御ビット付データ列より(11)が検出され、“*0*”に変換された場合、変調情報レジスタ91にはデータ「1」が入力され、以前に入力されたデータがシフトされる。一方、(11)が検出されたが、“*0*”に変換されなかった場合は、変調情報レジスタ91にはデータ「0」が入力され、以前に入力されたデータがシフトされる。

【0117】

変調情報レジスタ91の2ビットがともに「1」である場合、若しくは、ともに「0」が入力されていない場合、最小ラン連続コード検出部33は、変調情報レジスタ91が条件に一致したと判定する。そして、連続制限コード置換部34により、チャネルビット列の置き換えが行われると、変調情報レジスタ91の2ビットは「0」にクリアされる。

【0118】

例えば、図10のt1において、DSV制御ビット付データ列より(11)が検出されると、上述したように、(11)は、“000”のチャネルビット列に変換される。このとき、初期値として[0, 0]が入っていた変調情報レジスタ91には、データ「1」が入力され、[1, 0]となる。そして、t2において、DSV制御ビット付データ列より(11)が検出され、上述したように、(11)は“101”のチャネルビット列に変換される。このとき、変調情報レジスタ91には、データ「1」が入力され、t1において入力されたデータがシフトされる。すなわち変調情報レジスタ91は、[1, 1]となる。

【0119】

t3において、DSV制御ビット付データ列より(01)が検出され、(01)は“010”に変換される。このとき、変調情報レジスタ91には、新たにデータは入力されず、変調情報レジスタ91は、[1, 1]のままである。t4において、DSV制御ビット付データ列より(11)が検出され、(11)は“101”に変換される。これにより、変調情報レジスタ91には、データ「1」が入力され、t1において入力されたデータがシフトされる。すなわち変調情報レジス

タ91は、[1, 1]となる。

【0120】

t5において、DSV制御ビット付データ列より(00)が検出され、上述したように、(00)は変換されずt6に移行する。同様に、t6においても、(00)が検出され、t7に移行する。そして、t7において(01)が検出され、(000001)は“010100100”に変換される。このとき、変調情報レジスタ91には、新たにデータは入力されないで、変調情報レジスタ91は前の値を保持している。そして、図9に示すように、最小ラン連続制限コード検出部33は、(000001)を検出し、直前の6データにおいて(110111)を検出している。さらに、直前の6データが(110111)を検出している時点の変調情報レジスタ91が、[1, 1]であるので、最小ラン連続制限コード検出部33は、最小ラン連続制限コードを検出したと判定し、連続最小ラン置換部34において、チャネルビット列の置き換えが行われ、t2乃至t4において、変換されるべきチャネルビット列“101010101”が“00100000”に置き換えられる。

【0121】

以上のように置き換えが行われると、変調情報レジスタ91は、入力されたデータがクリアされて、[0, 0]になる。

【0122】

また、図11は、最小ラン連続制限コード検出部33が変調情報レジスタを参照して最小ラン連続制限コードを検出する動作の様子の詳細の他の例を示す図である。

【0123】

図11のt1において、DSV制御ビット付データ列より(00)が検出されると、上述したように、(00)は変換されずt2に移行する。そして、t2において、DSV制御ビット付データ列より(11)が検出され、(0011)は“010100”のチャネルビット列に変換される。このとき、初期値として[0, 0]が入っていた変調情報レジスタ91には、データ「0」が入力され、変調情報レジスタ91は、[0, 0]となる。

【0124】

t 3において、DSV制御ビット付データ列より(01)が検出され、(01)は“010”に変換される。このとき、変調情報レジスタ91には、新たにデータは入力されないで、変調情報レジスタ91は前の値を保持しており、[0, 0]となる。t 4において、DSV制御ビット付データ列より(11)が検出され、(11)は“101”に変換される。これにより、変調情報レジスタ91には、データ「1」が入力され、t 2において入力されたデータがシフトされる。すなわち変調情報レジスタ91は、[1, 0]となる。

【0125】

t 5において、DSV制御ビット付データ列より(00)が検出され、上述したように、(00)は変換されずt 6に移行する。同様に、t 6においても、(00)が検出され、t 7に移行する。そして、t 7において(01)が検出され、(000001)は“010100100”に変換される。このとき、変調情報レジスタ91には、新たにデータは入力されないで、変調情報レジスタ91は前の値を保持している。そして、図9に示すように、最小ラン連続制限コード検出部33は、(000001)を検出し、直前の6データにおいて(110111)を検出している。しかし、変調情報レジスタ91が、[1, 0]であるので、最小ラン連続制限コード検出部33は、最小ラン連続制限コードを検出していないと判定し、連続最小ラン置換部34において、チャンネルビット列の置き換えは行われない。

【0126】

以上のようにして、最小ラン連続制限コード検出部33は、変調情報レジスタ91を参照し、最小ラン連続制限コードを検出する。

【0127】

以上のように構成することにより、変調装置30を簡単な構成にすることができる。そして、最小ラン連続制限コード検出部33、および連続最小ラン置換部34をパターン変換部32と別に構成することにより、様々な仕様の他システムへの応用を容易に行うことができる。

【0128】

例えば、最小ランの連続を制限しなくてもよいシステムに応用する場合、最小ラン連続制限コード検出部 3 3 への接続を切断するだけで、変調装置 3 0 を適用することができる。

【0 1 2 9】

なお、上記したような処理を行うコンピュータプログラムをユーザに提供する提供媒体としては、磁気ディスク、CD-ROM、固体メモリなどの記録媒体の他、ネットワーク、衛星などの通信媒体を利用することができる。

【0 1 3 0】

【発明の効果】

以上のように、本発明の変調装置および方法、記録媒体、並びにプログラムによれば、拘束長 $r = 3$ において変換されないデータ列を拘束長 $r = 4$ において判定して変換するようにし、さらに、最小ラン連続制限コード検出部および連続最小ラン置換部をパターン変換部と別に構成するようにしたので、変調装置を実現する回路の構成を簡単にし、他システムへの応用を容易に行うことができる。

【図面の簡単な説明】

【図 1】

従来の変調装置の構成例を示すブロック図である。

【図 2】

従来の変調装置の他の構成例を示すブロック図である。

【図 3】

本発明を適用した変調装置の構成例を示すブロック図である。

【図 4】

図 1 の変調装置の処理を説明する図である。

【図 5】

変調装置の詳細な構成例を示すブロック図である。

【図 6】

変調装置の他の詳細な構成例を示すブロック図である。

【図 7】

入力されたデータ列からチャネルビット列への変換における、レジスタ構成を

示す模式図である。

【図 8】

シフトレジスタより供DSV制御ビット付きデータ列を供給された不確定コード検出処理部、変換コード検出部、および終端コードの動作の具体例を示す図である。

【図 9】

データ列から最小ラン連続制限コードを検出する最小ラン連続制限コード検出部の動作の具体例を示す図である。

【図 10】

最小ラン連続制限コード検出部が変調情報レジスタを参照して最小ラン連続制限コードを検出する動作の様子の詳細を示す図である。

【図 11】

最小ラン連続制限コード検出部が変調情報レジスタを参照して最小ラン連続制限コードを検出する動作の様子の詳細の他の例を示す図である。

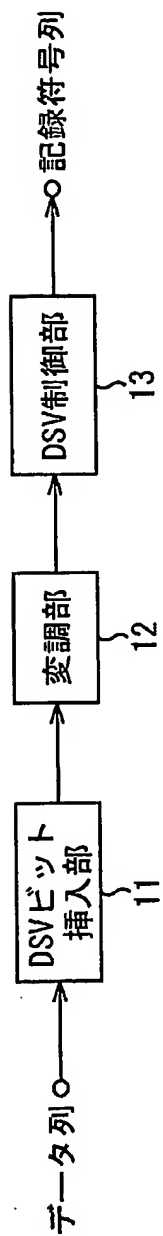
【符号の説明】

30 変調装置, 31 DSV制御ビット決定・挿入部, 32 パターン変換部, 33 最小ラン連続制限コード検出部, 34 連続最小ラン置換部, 35 同期信号挿入部, 36 NRZI化部, 51 シフトレジスタ, 61 不確定コード検出処理部, 62 変換コード検出部, 63 終端コード検出部, 64 記憶部, 65 セレクタ部, 66 変換パターン決定部, 67, 81, 82, 83 不確定ビット決定部

【書類名】 図面

【図1】

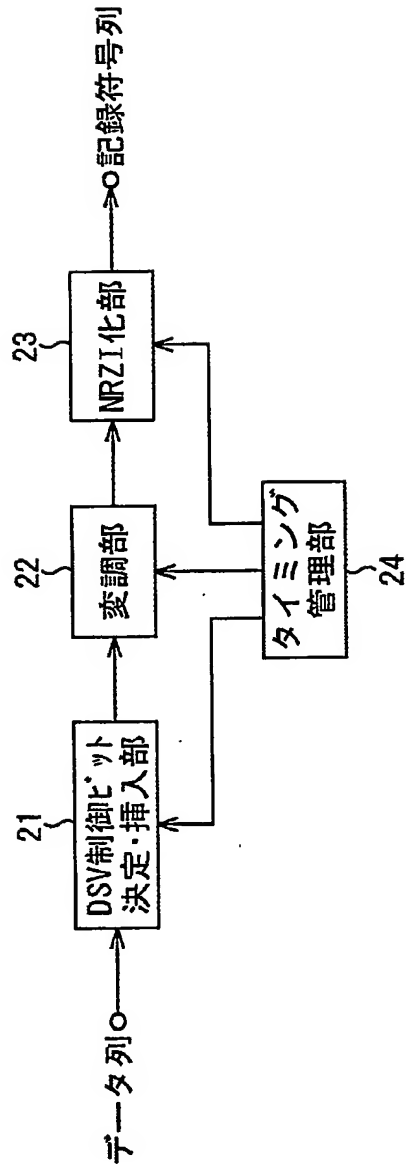
図1



変調装置 10

【図2】

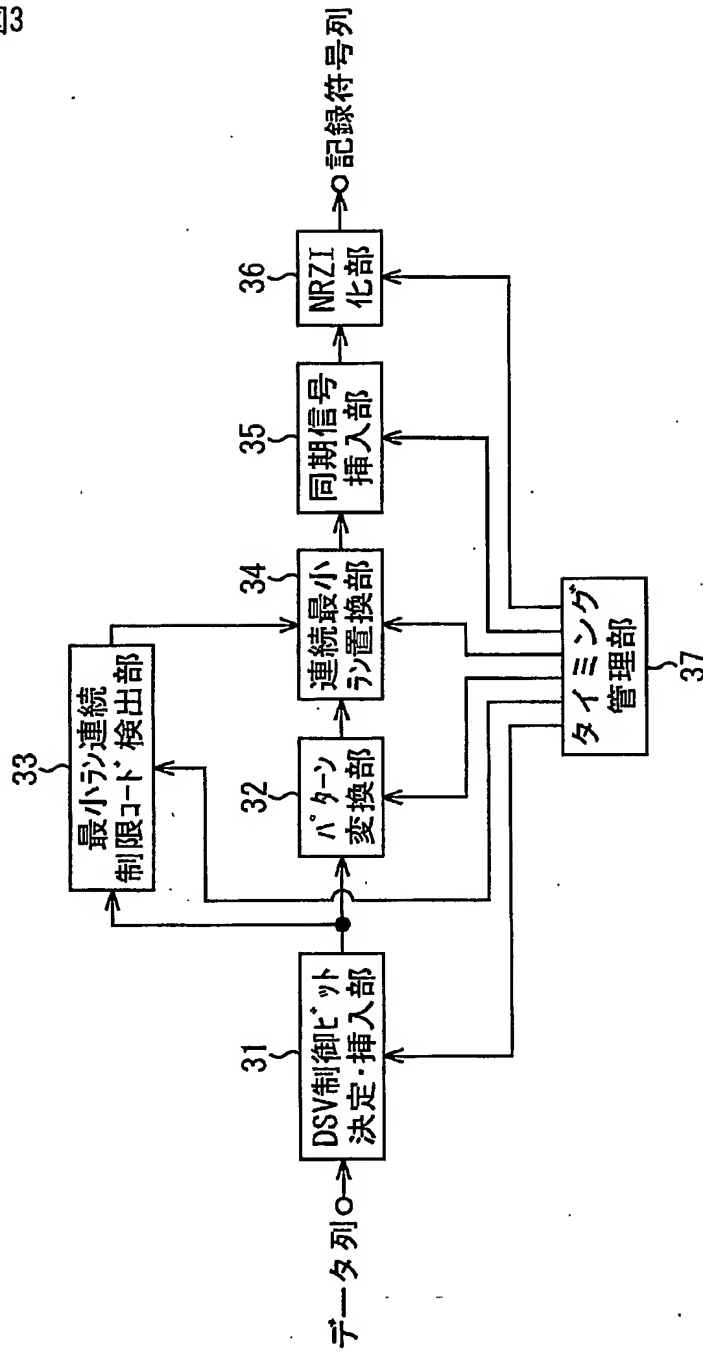
図2



変調装置 20

【図3】

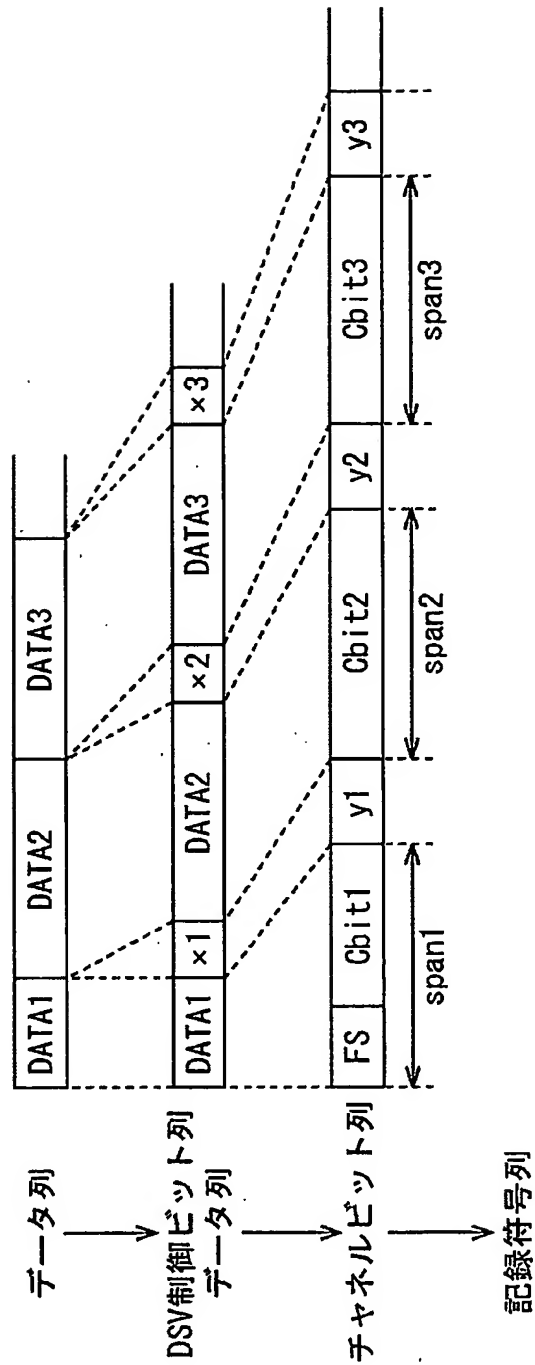
図3



変調装置 30

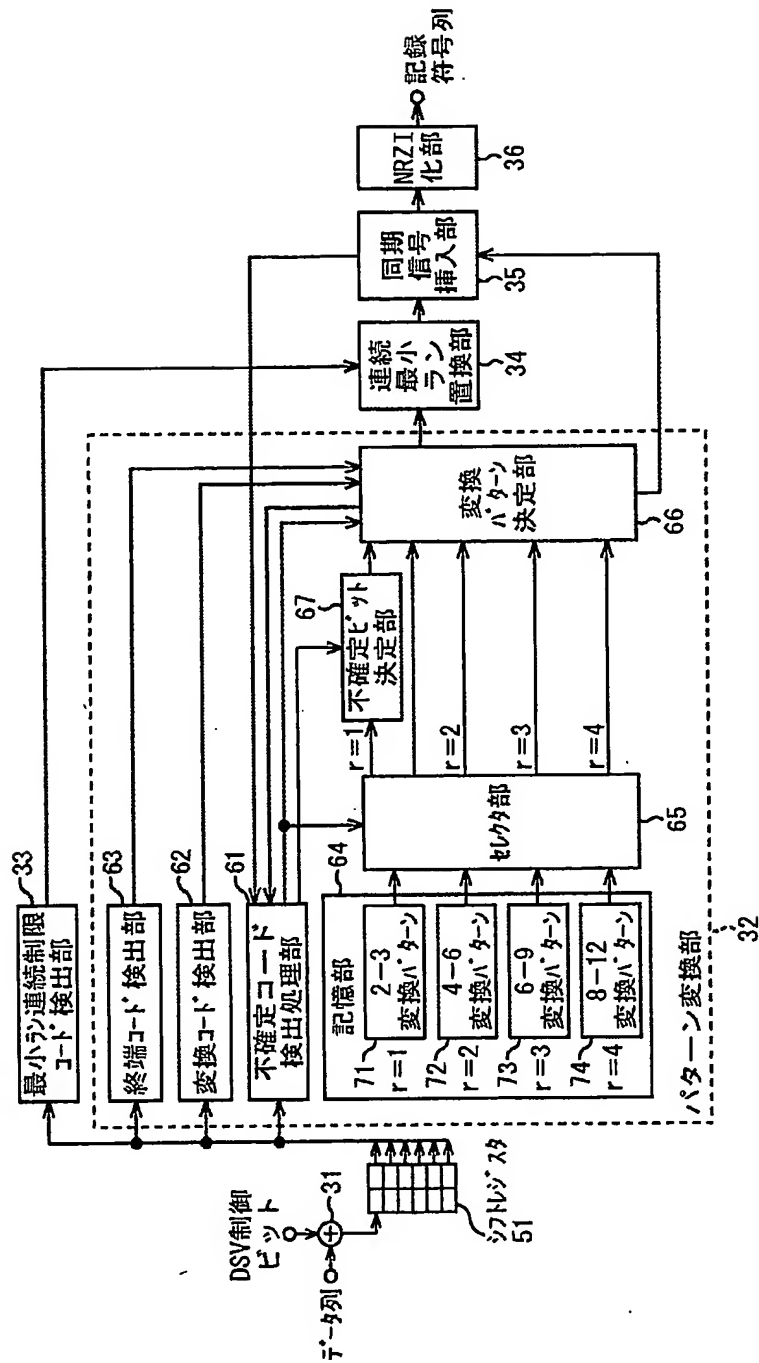
【図4】

図4



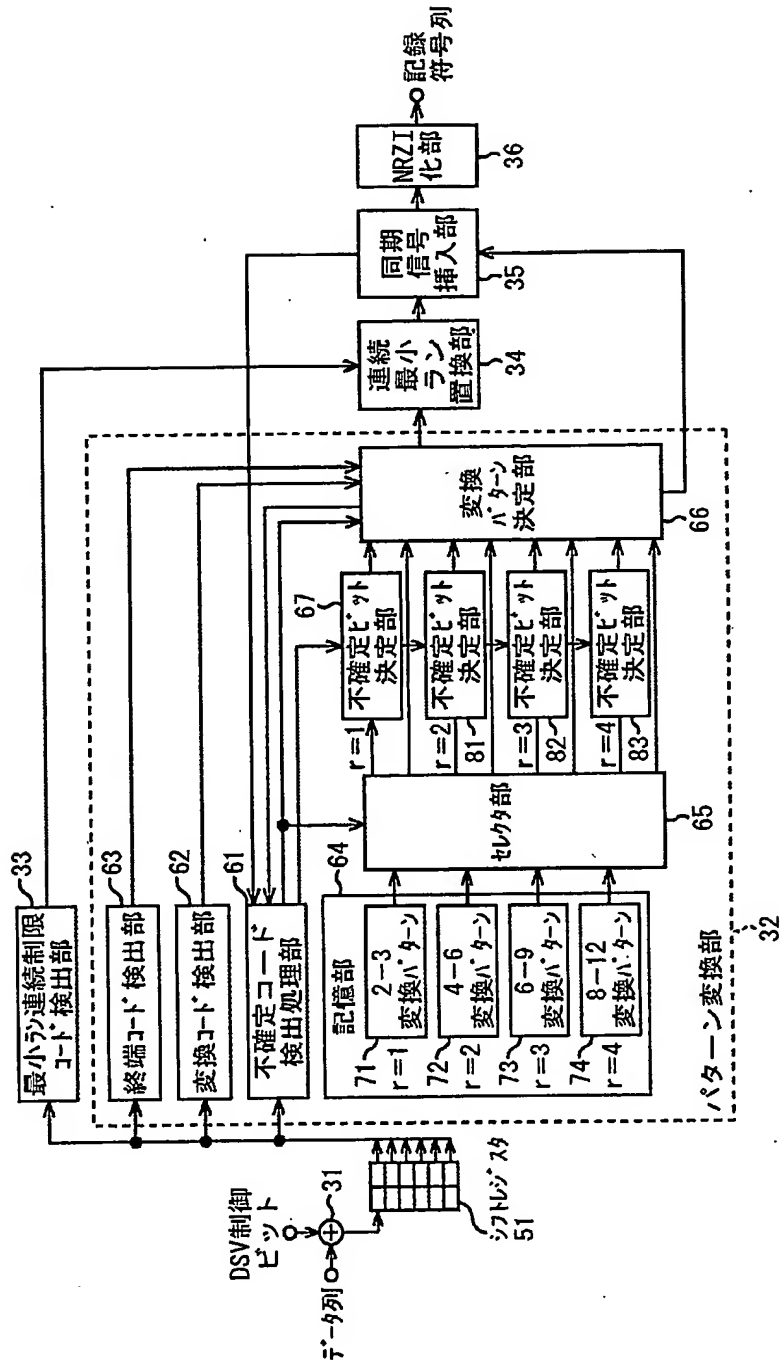
【図5】

図5



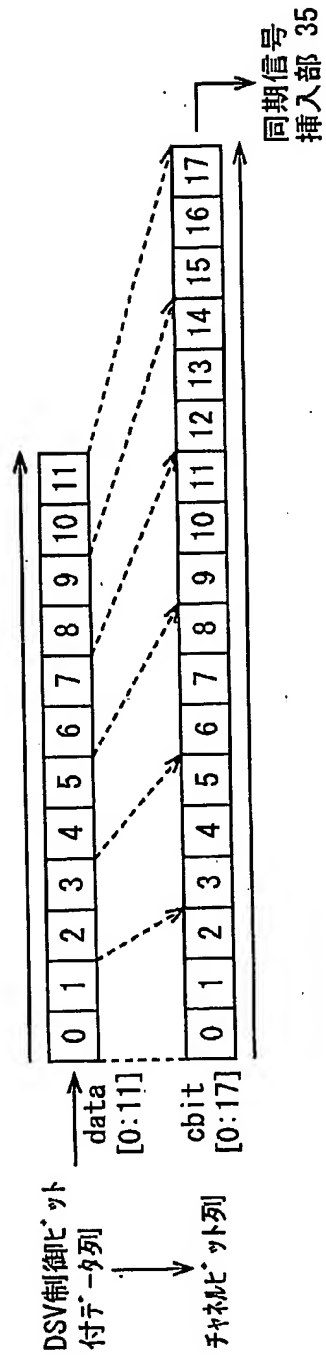
【図6】

図6



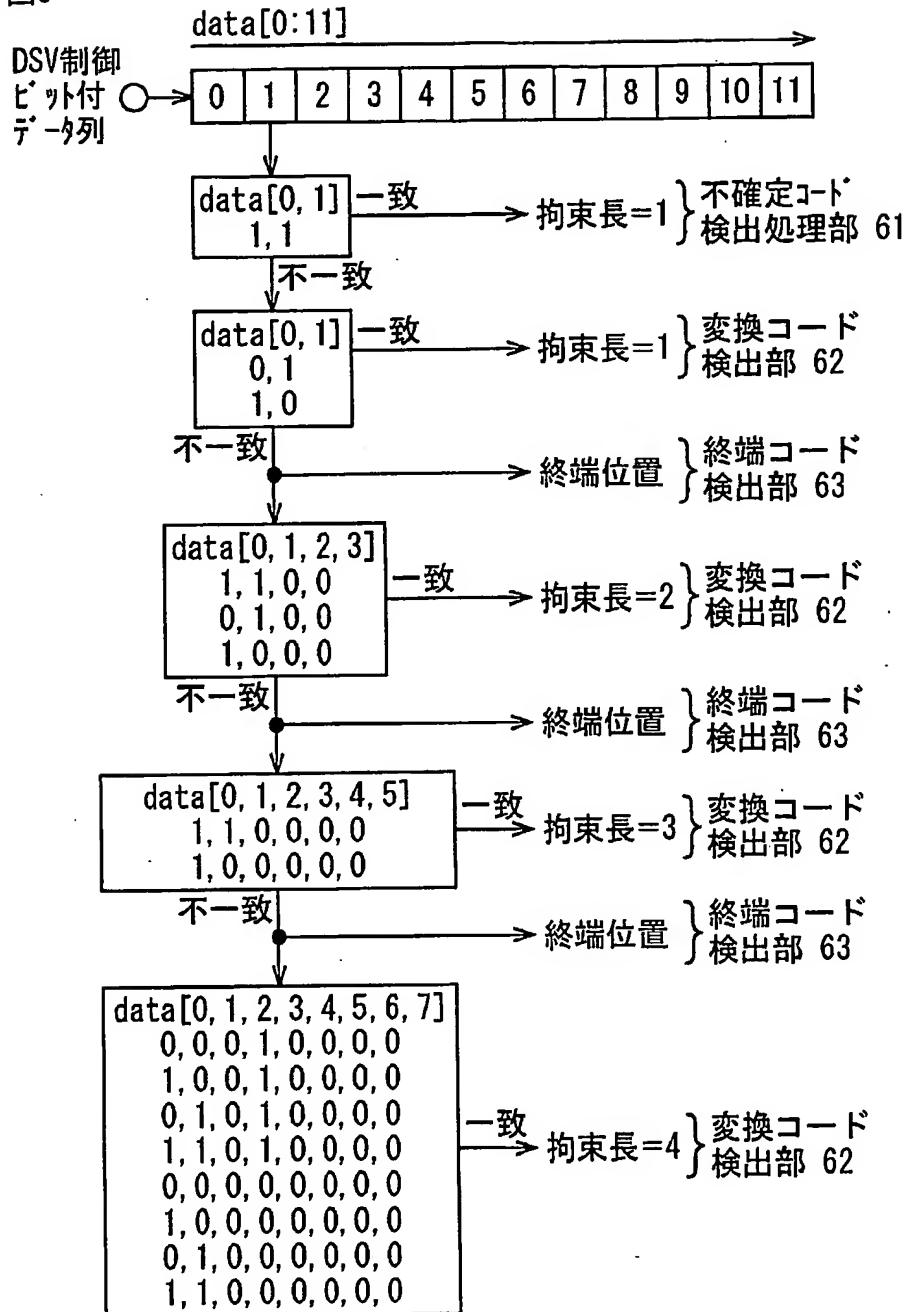
【図7】

図7



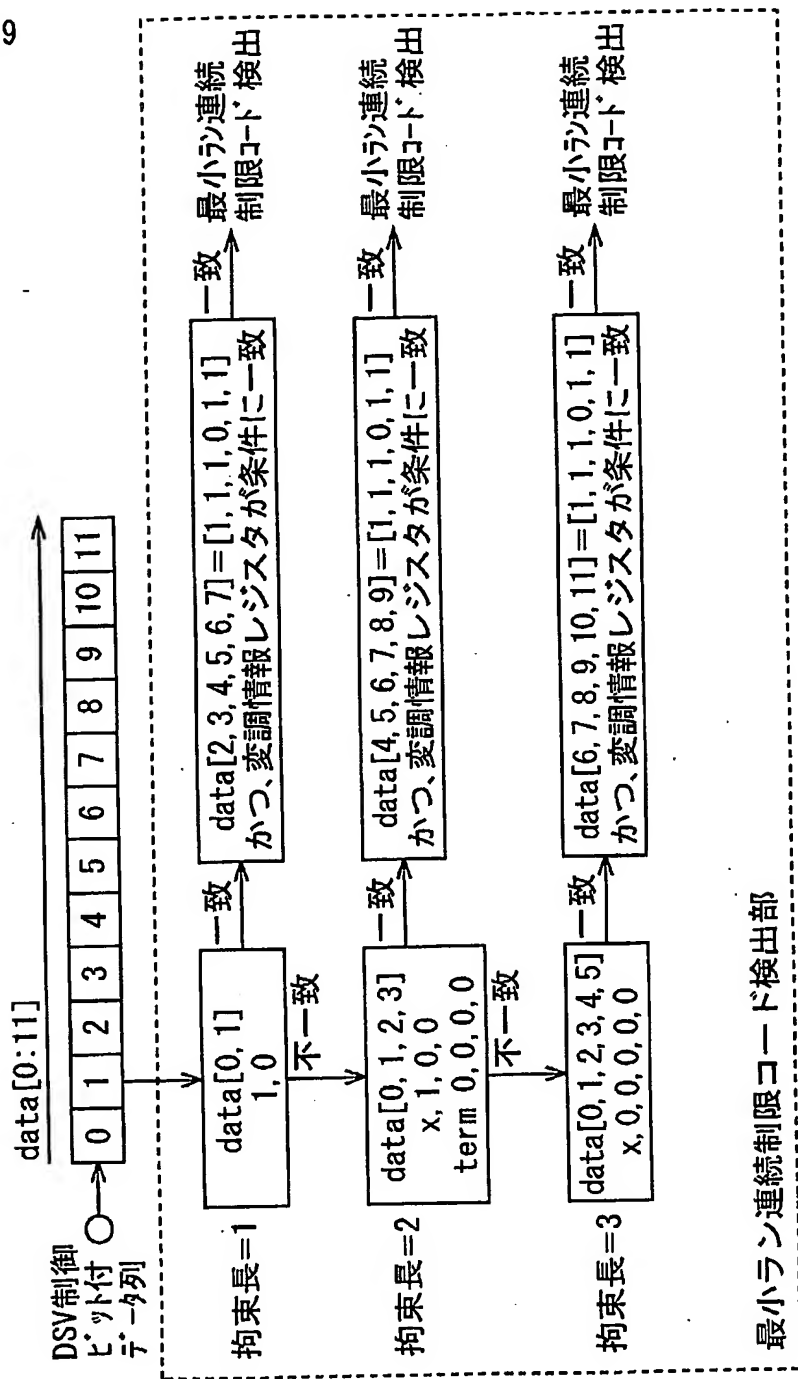
【図 8】

図8



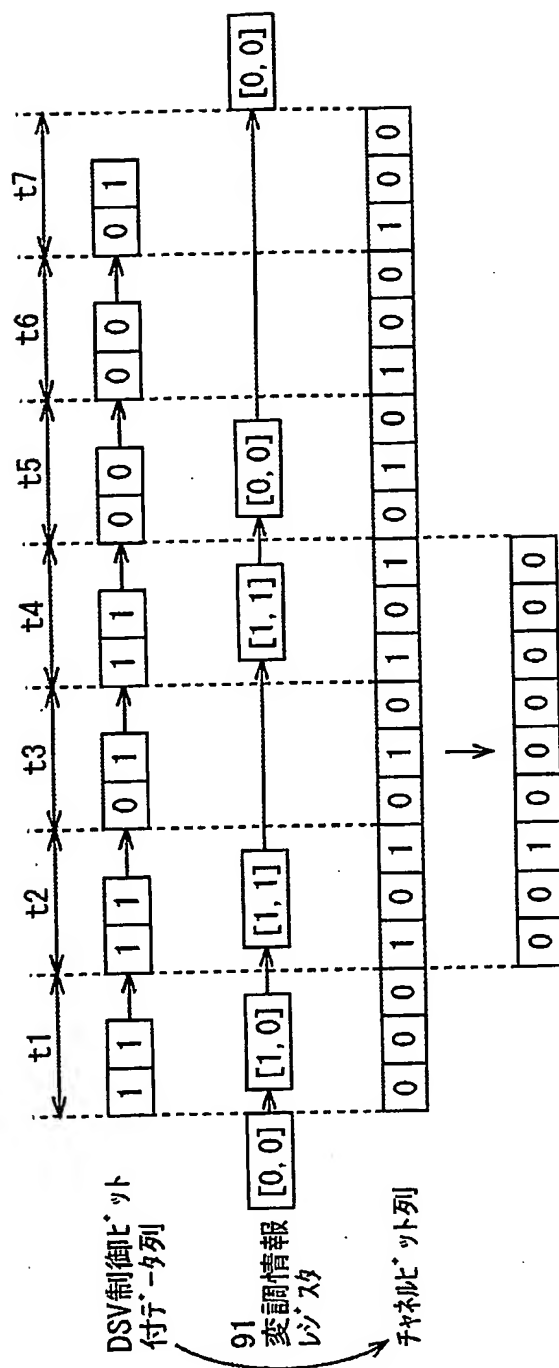
【図9】

図9



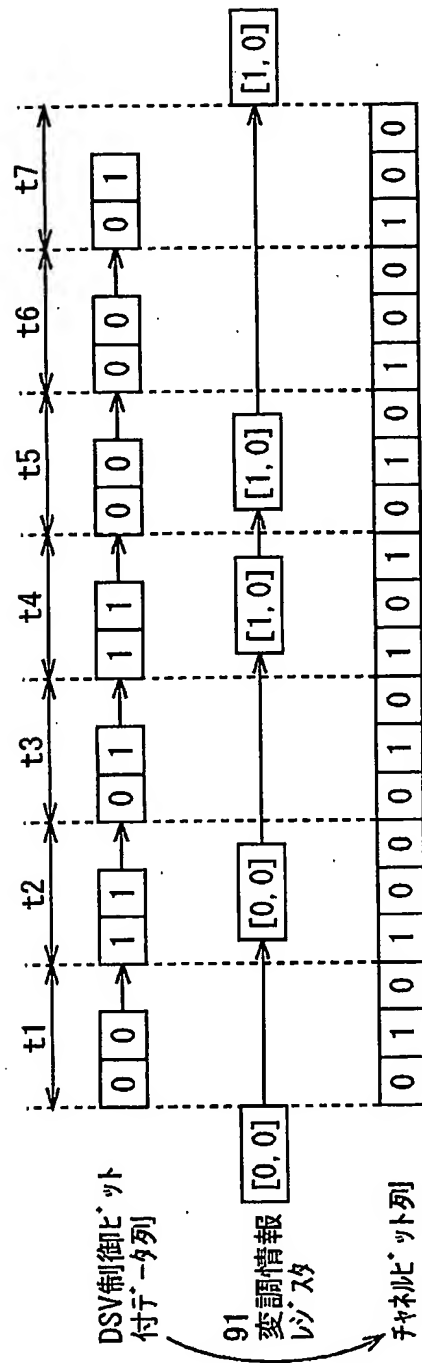
【図10】

図10



【図11】

図11



【書類名】 要約書

【要約】

【課題】 変調装置を実現する回路の構成を簡単にし、他システムへの応用を容易に行うことができるようにする。

【解決手段】 パターン変換部 3 2 は、変換テーブルに従って、DSV制御ビット決定・挿入部 3 1 に供給された基本データ長が 2 ビットのデータを、基本符号長が 3 ビットの可変長符号に変換する。また、最小ラン連続制限コード検出部 3 3 は、DSV制御ビットが挿入されたデータ列より、パターン変換部 3 2 において変換されたチャネルビット列が最小ランの連続となる位置を検出する。連続最小ラン置換部 3 4 は、最小ラン連続制限コード検出部 3 3 に供給された位置情報に基づいて、パターン変換部 3 2 に供給されたチャネルビット列の所定の部分を所定のパターンに置き換えることにより、最小ランの連続を所定回数以内に制限する。

【選択図】 図 3

特2002-007254

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社